**湖北省高等教育自学考试课程考试大纲**

**课程名称：数字逻辑 课程代码：06626**

**I．课程性质与设置目的**

1．课程性质和特点

数字逻辑属计算机科学与工程（类）本科重要的专业基础课，本课程的目的是使学生了解和熟悉从对数字系统提出要求开始，一直到用集成电路实现所需逻辑功能为止的整个过程。熟练掌握数字系统逻辑设计的理论和方法，对于从事计算机研制、开发和应用的科技工作者来说是十分必要的。课程的主要内容包括开关理论基础、逻辑门电路、组合逻辑、时序逻辑、ISP技术、数字系统等，它跟踪计算机元器件的发展脚步，介绍新型元器件的基本技术，为后续计算机硬件类课程打下基础，也为深入理解计算机的工作原理提供理论及实践基础。

2．课程要求

通过本课程的学习，应考者应掌握数字逻辑设计的基本理论和方法、数字逻辑电路的一般原理以及数字逻辑电路的新发展。本课程的核心是学生必须学会数字逻辑电路的基础知识，掌握数字逻辑电路设计和分析的方法步骤，在此基础上能够使用常用的实验素材进行同步时序逻辑电路的设计。掌握集成门电路，触发器和组合逻辑电路等实用性较广的功能部件，为将来实践工作打下坚实的基础。本课程涉及到数学，逻辑学和电子学相关的知识，理论性比较强。

3．与本专业其它课程的关系

本课程在计算机应用专业的教学计划中被列为专业基础课，其先修课程为普通物理、模拟电子技术和离散数学，后续课程为计算机组成原理、计算机接口技术等硬件课程。数字逻辑作为一门承上启下的基础课程，地位相当重要。本课程的重点是研究数字系统中各种逻辑电路分析与设计的基本方法；难点是各种大中型芯片的分析和组合设计。

**II．课程内容与考核目标**

第一章 基本知识

一、学习目的与要求

了解数字系统的概念、模拟信号与数字信号的特点；重点掌握二进制、八进制、十进制、十六进制数的计数规律及相互转换，理解机器数的原码、反码、补码三种代码表示及相关转换，理解三种常用BCD码与十进制数的关系及各自特点，以及Gray码、奇偶检验码、字符编码的作用、特点和编码的原理。

二、考核知识点与考核目标

第一节 概述（一般）

1）识记：（1）数字系统的特征；

（2）数字逻辑电路的类型和研究方法。

第二节 数制及其转换（重点）

1）识记：进位计数制、进位计数制的两个基本因素、二进制数的运算规则。

2）简单应用：数制之间的相互转换。

第三节 带符号二进制数的代码表示（次重点）

1）领会：原码、反码、补码。

2）简单应用：三种码制之间的转换

第四节 几种常用的编码（一般）

1）识记：十进制数的二进制编码、常用的3种BCD码。

2）领会：（1）可靠性编码；

（2）字符编码。

第二章 逻辑代数基础

一、学习目的与要求

了解逻辑代数中有关逻辑变量，逻辑运算、逻辑函数、最小项和最大项等基本概念；熟练掌握逻辑代数的5条公理、8组定理及三条重要规则；熟悉逻辑函数表达式的不同形式与变换；重点掌握逻辑函数的代数化简法和卡诺图化简法。

二、考核知识点与考核目标

第一节 逻辑代数的基本概念（一般）

1）识记：逻辑代数中的公理。

2）领会：（1）逻辑变量及基本逻辑运算；

（2）逻辑函数及逻辑函数间的相等；

（3）逻辑函数的表示法。

第二节 逻辑代数的基本定理和规则（次重点）

1）识记：逻辑代数中的基本定理及规则。

2）领会：（1）基本定理；

（2）重要规则；

（3）复合逻辑。

第三节 逻辑函数表达式的形式与变换（次重点）

1）识记：逻辑函数表达式的基本形式。

2）领会：逻辑函数表达式的标准形式。

3）简单应用：逻辑函数表达式的转换。

第四节 逻辑函数的化简（重点）

1）简单应用：（1）代数化简法；

（2）卡诺图化简法。

第三章 集成门电路与触发器

一、学习目的与要求

了解数字集成电路的类型、分类依据、以及在数字系统中半导体器件工作的开关特性；重点掌握7种常用逻辑门和2种特殊逻辑门的逻辑符号、外部特性及使用方法；了解触发器基本结构和工作原理，熟练掌握基本R-S触发器和四种常用时钟控制触发器的逻辑符号、功能表，次态方程、激励表以及使用方法。对逻辑门电路的内部结构和工作原理只要求作一般了解。

二、考核知识点与考核目标

第一节 数字集成电路的分类（一般）

1）识记：数字逻辑电路的各种分类方法。

第二节 半导体器件的开关特性（一般）

1）：识记（1）晶体二极管的开关特性；

（2）晶体三极管的开关特性。

第三节 逻辑门电路（重点）

1）识记：（1）常用基本门电路的逻辑符号及表达式；

（2）TTL集成逻辑门电路、CMOS集成逻辑门电路的各自的特点。

2）领会：（1）TTL集成逻辑门电路的主要外部特性参数；

（2）正逻辑和负逻辑的概念；

（3）两种特殊的门电路的特点及应用。

第四节 触发器（重点）

1）识记：（1）触发器的基本特点、逻辑功能及触发器的分类；

（2）基本R-S触发器的逻辑电路和逻辑符号，逻辑功能的描述；

（3）常用的时钟控制触发器（R-S、J-K、D、T触发器）的逻辑符号及其逻辑功能的描述。

2）领会：（1）几种常用的时钟控制触发器的工作原理相互转换；

（2）不同类型的时钟控制触发器相互转换方法。

实验一、集成电路测试：集成逻辑门的主要参数测试和功能测试，集成触发器功能测试。

第四章 组合逻辑电路

一、学习目的与要求

了解组合逻辑电路的定义、结构和特点；重点掌握组合逻辑电路分析和设计的基本方法；能熟练运用逻辑代数这一数学工具，借助真值表，卡诺图等对各种设计问题进行逻辑描述和简化，并挑选合适的逻辑门电路完成满足设计要求的电路设计；了解实际电路中由于时延问题而引发的竞争现象以及险象的产生。

二、考核知识点与考核目标

第一节 组合逻辑电路分析（重点）

1）识记：（1）组合逻辑电路的基本特点；

（2）组合逻辑电路分析的一般步骤；

2）简单应用：会对组合逻辑电路进行分析。

第二节 组合逻辑电路设计（重点）

1）识记：（1）逻辑综合的概念；

（2）组合逻辑电路设计的一般步骤。

2）简单应用：（1）会设计一些简单的组合逻辑电路；

（2）会对设计中遇到的一些实际问题进行处理。

3）综合应用：多输出函数的组合逻辑电路的设计

第三节 组合逻辑电路的险象（次重点）

1）识记：险象的产生的原因及消除的方法。

2）简单应用：会对险象进行判断；

实验二、组合逻辑电路：舍入与检测电路的设计，全加/全减器设计。

第五章 同步时序逻辑电路

一、学习目的与要求

了解时序逻辑电路的定义，结构、特点和分类；重点掌握同步时序逻辑电路分析与设计的基本方法和步骤，能熟练运用状态表、状态图、隐含表、合并图等工具完成同步时序逻辑电路的分析与设计；要求能正确使用逻辑门和触发器构造出实现指定功能的同步时序逻辑电路。本章难点是形成原始状态图、状态化简及确定激励函数的最简表达式。

二、考核知识点与考核目标

第一节 时序逻辑电路概述（次重点）

1）识记：（1）时序逻辑电路与组合逻辑电路的区别；

（2）描述时序逻辑电路逻辑功能的主要方法。

2）领会：（1）时序逻辑电路的结构特征；

（2）时序逻辑电路的分类方法；

（3）时序逻辑电路逻辑功能的描述方法。

第二节 同步时序逻辑电路分析（重点）

1）识记：同步时序逻辑电路分析的一般方法和步骤。

2）简单应用：会对同步时序逻辑电路进行分析。

第三节 同步时序逻辑电路设计（重点）

1）识记：同步时序逻辑电路设计的一般方法和步骤；

2）领会：同步时序逻辑电路设计步骤的各个环节，熟悉各环节中的处理方法，为综合应用部分奠定基础。

综合应用：会对完全确定同步时序逻辑电路进行分析及设计。

实验三  同步时序逻辑电路：同步模4可逆计数器设计

第六章 异步时序逻辑电路

一、学习目的与要求

了解两类异步时序逻辑电路的结构及其各自的特点；弄清楚脉冲异步时序逻辑电路与同步时序逻辑电路在分析、设计中的区别；重点掌握脉冲异步时序逻辑电路的分析和设计方法，了解电平异步时序逻辑电路分析与设计的方法和步骤，能运用时间图、流程表、状态图等工具完成电平异步时序的分析与设计；注意弄清楚电平异步时序逻辑电路中反馈回路之间竞争产生的原因、判断方法以及电路设计中消除临界竞争的方法。本章难点是形成原始流程表以及反馈回路间竞争的判断与临界竟争的消除。

二、考核知识点与考核目标

第一节 异步时序逻辑电路的特点与分类（一般）

1）识记：（1）同步时序逻辑电路与异步时序逻辑电路的区别；

（2）异步时序逻辑电路的特点；

（3）异步时序逻辑电路的分类。

第二节 脉冲异步时序逻辑电路（重点）

领会：脉冲异步时序逻辑电路的结构模型及分析的一般步骤和方法。

简单应用：脉冲异步时序逻辑电路的设计。

第三节 电平异步时序逻辑电路（次重点）

1）识记：（1）电平异步时序逻辑电路的结构模型与描述方法；

（2）输入信号的约束条件；

（3）电平异步时序逻辑电路分析的一般步骤和方法。

实验四、异步时序逻辑电路设计：脉冲异步计数器的设计

第七章 中规模通用集成电路及其应用

一、学习目的与要求

掌握各类中规模集成电路的主要功能和外部特性；能正确使用各类中规模器件完成指定的逻辑功能的设计；重点掌握四位并行加法器、译码器、多路选择器、四位寄存器、四位计数器等器件在逻辑设计中的应用，以及A/D转换器、D/A转换器的作用。

二、考核知识点与考核目标

第一节 常用中规模组合逻辑电路（重点）

1）识记：（1）串行进位和超前进位并行加法器的特点及电路逻辑符号；

（2）译码器和编码器的种类、功能、特点及电路逻辑符号；

（3）多路选择器和多路分配器的基本功能、特点及电路逻辑符号。

2）领会：几种常用的中规模集成组合逻辑电路的工作原理及应用。

3）简单应用：（1）会分析由常用中规模集成组合逻辑电路芯片、各种集成门电路组成的组合逻辑电路的逻辑功能；

（2）会利用常用中规模集成组合逻辑电路芯片和必要的集成门电路进行组合逻辑电路的设计。

第二节、常用中规模时序逻辑电路（重点）

1）识记：（1）集成计数器的分类及特点；

（2）集成寄存器的分类及特点；

（3）多路选择器和多路分配器的基本功能、特点及电路逻辑符号。

2）领会：集成计数器、集成寄存器的工作原理及特性。

3）简单应用：（1）会利用集成计数器构成各种进制的计数器；

（2）会对由集成寄存器组成的时序逻辑电路的进行分析。

第三节 常用中规模信号产生与变换电路（一般）

1）识记：（1）集成定时器555的电路结构与逻辑功能；

（2）集成D/A转换器的工作原理、功能、参数及类型；

（3）集成A/D转换器工作原理、功能、参数及类型。

2）领会：集成定时器555的工作原理。

3）简单应用：会利用集成定时器555构成多谐振荡器、施密特触发器。

综合应用：会对由组合逻辑电路集成芯片和时序逻辑电路集成芯片及555组成的数字电路进行分析。

实验五、算术电路设计：串行加法器设计

**III．关于大纲的说明与考核实施要求**

本大纲第一部分关于课程性质与设置目的规定，是制订第二部分关于课程内容与考核目标的基本出发点，而课程内容与考核目标则是本大纲的主体部分。为了使主体部分的规定在个人自学、社会助学和考试命题中得到贯彻和落实，兹对有关问题作如下说明，并进而提出具体的实施要求。

一、教材

1．指定教材：欧阳星明编著，《数字逻辑》（第四版），华中科技大学出版社，2009

2．参考资料：毛法尧、欧阳星明、任宏萍 编著，《数字逻辑》，华中理工大学出版社

欧阳星明主编.数字逻辑学习与解题指南.武汉：华中科技大学出版社，2000

二、对社会助学的要求

助学学时：本课程共3学分，建议总课时56学时，实验10学时，其中助学课时分配如下：

|  |  |  |
| --- | --- | --- |
| 章次 | 内容 | 学时 |
| 1 | 基本知识 | 4 |
| 2 | 逻辑代数基础 | 6 |
| 3 | 集成门电路与触发器 | 8 |
| 4 | 组合逻辑电路 | 8 |
| 5 | 同步时序逻辑电路 | 10 |
| 6 | 异步时序逻辑电路 | 6 |
| 7 | 中规模通用集成电路及其应用 | 4 |
| 8 | 实验 | 10 |
|  |  |  |
| 合 计 | | 56 |

三、自学方法指导

1、在开始阅读指定教材某一章之前，先翻阅大纲中有关这一章的考核知识点及对知识点的能力层次要求和考核目标，以便在阅读教材时做到心中有数，有的放矢。

2、阅读教材时，要逐段细读，逐句推敲，集中精力，吃透每一个知识点，对基本概念必须深刻理解，对基本理论必须彻底弄清，对基本方法必须牢固掌握。

3、在自学过程中，既要思考问题，也要做好阅读笔记，把教材中的基本概念、原理、方法等加以整理，这可从中加深对问题的认知、理解和记忆，以利于突出重点，并涵盖整个内容，可以不断提高自学能力。

4、完成书后作业和适当的辅导练习是理解、消化和巩固所学知识，培养分析问题、解决问题及提高能力的重要环节，在做练习之前，应认真阅读教材，按考核目标所要求的不同层次，掌握教材内容，在练习过程中对所学知识进行合理的回顾与发挥，注重理论联系实际和具体问题具体分析，解题时应注意培养逻辑性，针对问题围绕相关知识点进行层次（步骤）分明的论述或推导，明确各层次（步骤）间的逻辑关系。

四、关于考试命题的若干规定

1.本课程的考试命题，应根据本大纲规定的考试内容和考核目标来确定考试范围和考核要求，按大纲规定试题中主观性题和客观性题的比例来组配试卷，适当掌握试题的内容覆盖面、能力层次和难易度。

2、试卷中对不同能力层次的试题比例大致是：识记部分约占20％；领会部分约占30％；应用部分约占50％。

3. 试题难易程度应合理：易、较易、较难、难比例为2:3:3:2。

4. 每份试卷中，各类考核点所占比例约为：重点占65％，次重点占25％，一般占10％。

5、试题类型一般分为：单项选择题、填空题、问答题、计算题和综合分析题。

6. 考试方式为闭卷、笔试，考试时间为150分钟。采用百分制，60分为及格。

[附录] 题型举例

一、单项选择题

下列四种门电路中功耗最小的是（ ）

(A) NMOS (B) CMOS (C) TTL (D) ECL

二、填空题

正逻辑与非门是负逻辑 。

三、问答题

数字逻辑电路具有那些主要特点？

四、计算题

用卡诺图化简下面函数，求出它的最简与或表达式。



五、简单分析与设计题

用与非门设计一个组合电路，用来检测并行输入的四位二进制数B8B4B2B1，当其值大于或等于5时输出F=1，反之F=0。输入端只有原变量可用。请画出对应逻辑图。

六、综合分析题

分析下图所示CT74290和CT7485组成的电路为几进制计数器。

当74290的CPA接时钟信号，CPB接QA时为8421BCD码计数。当R01= R02=0时计数，当R01= R02=1时异步清零；当S91= S92=0时计数，当S91= S92=1时强置为1001(QDQCQBQA)。

CT7485一个4位数值比较器，输入A（A3A2A1A0）、B（B3B2B1B0）分别为4位二进制数。

当A>B时，“A>B”=1，“A=B”=0，“A<B”=0

当A=B时，“A>B”=0，“A=B”=1，“A<B”=0

当A<B时，“A>B”=0，“A=B”=0，“A<B”=1

CPA

CPB

QA

QD

QB

QC

**CT74290**

R01

R02

S92

S91

**CT7485**

A>B

A=B

A<B

I(A>B)

I(A=B)

I(A<B)

A3

A2

A1

A0

B3

B2

B1

B0

1

0

1

1

1